

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat

(c) 2002 EPO. All rts. reserv.

5269729

Basic Patent (No,Kind,Date): JP 60202931 A2 851014 <No. of Patents: 002>

MANUFACTURE OF SEMICONDUCTOR DEVICE (English)

Patent Assignee: HITACHI LTD

Author (Inventor): SAITOU TADASHI; ITOU HARUO; SHINTANI AKIRA; SAITOU AKIO;

NAKATANI MITSUO

IPC: *H01L-021/268; H01L-021/324

CA Abstract No: *104(16)140470U;

Derwent WPI Acc No: *C 85-293687;

JAPIO Reference No: *100050E000028;

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date	
JP 60202931	A2	851014	JP 8458246	A	840328	(BASIC)
JP 94056839	B4	940727	JP 8458246	A	840328	

Priority Data (No,Kind,Date):

JP 8458246 A 840328

DIALOG(R)File 347:JAPIO

(c) 2002 JPO & JAPIO. All rts. reserv.

01724431 **Image available**

MANUFACTURE OF SEMICONDUCTOR DEVICE

PUB. NO.: 60-202931 [JP 60202931 A]

PUBLISHED: October 14, 1985 (19851014)

INVENTOR(s): SAITO TADASHI

 ITO HARUO

 SHINTANI AKIRA

 SAITO AKIO

 NAKATANI MITSUO

APPLICANT(s): HITACHI LTD [000510] (A Japanese Company or Corporation), JP
(Japan)

APPL. NO.: 59-058246 [JP 8458246]

FILED: March 28, 1984 (19840328)

INTL CLASS: [4] H01L-021/268; H01L-021/324

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD: R002 (LASERS); R096 (ELECTRONIC MATERIALS -- Glass
Conductors); R097 (ELECTRONIC MATERIALS -- Metal Oxide
Semiconductors, MOS)

JOURNAL: Section: E, Section No. 384, Vol. 10, No. 50, Pg. 28,
February 27, 1986 (19860227)

ABSTRACT

PURPOSE: To form a conduction type layer having low resistance while annealing only a layer extremely near to a surface layer by thermally treating a semiconductor film containing amorphous silicon phase in a short time by using an ultraviolet laser having a short wavelength.

CONSTITUTION: A gate electrode 11 is formed on a glass substrate 1, and an SiO(sub 2) film 12 and an n type amorphous silicon film 13 are shaped through a plasma CVD method. Source and drain electrodes 14 and 15 are evaporated, and a laser 7 is projected from the lower section of the substrate 1. An ultraviolet laser, a wavelength thereof extends over 300nm or less and intensity of irradiation thereof extends over 0.2J/cm(sup 2) or less, is employed as laser beams 7. The amorphous silicon films of the lower section of the source and drain electrodes 14, 15 are property-changed into an silicon film 16 containing a crystalline substance.

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭60-202931

⑬ Int. Cl.

識別記号

庁内整理番号

⑭ 公開 昭和60年(1985)10月14日

H 01 L 21/268
21/324

6603-5F
6603-5F

審査請求 未請求 発明の数 1 (全4頁)

⑮ 発明の名称 半導体装置の製造方法

⑯ 特 願 昭59-58246

⑰ 出 願 昭59(1984)3月28日

⑱ 発 明 者 齊 藤 忠 国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内
⑱ 発 明 者 伊 藤 晴 夫 国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内
⑱ 発 明 者 新 谷 昭 国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内
⑱ 発 明 者 齊 藤 昭 男 横浜市戸塚区吉田町292番地 株式会社日立製作所生産技術研究所内
⑲ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地
⑳ 代 理 人 弁理士 高橋 明夫 外1名
最終頁に続く

明 細 書

発明の名称 半導体装置の製造方法

特許請求の範囲

1. 絶縁された基板上に形成した非晶質シリコン膜を主体として構成したシリコン系薄膜半導体装置の製造方法において、n形もしくはp形不純物を含有する非晶質相シリコンを含有する半導体膜をレーザアニールにより低抵抗化することを特徴とする半導体装置の製造方法。
2. 特許請求の範囲第1項において、上記レーザとして波長300nm以下の紫外レーザを用いることを特徴とする半導体装置の製造方法。
3. 特許請求の範囲第1項或いは第2項において、レーザとして波長300nm以下で照射強度 0.2 J/cm^2 以下の紫外レーザを用い、シリコン膜の表面近傍をアニールすることを特徴とする半導体装置の製造方法。

発明の詳細な説明

〔発明の利用分野〕

本発明は、半導体装置の製造方法に関し、詳し

くは低抵抗のアモルファス相を含有するn又はp形半導体部を有する薄膜半導体装置の製造方法に関する。

〔発明の背景〕

従来のアモルファスSi相を含有する半導体薄膜は、ガラス、金属又は高分子薄板上にプラズマCVD法などの方法で形成され、導電型の制御は PH_3 や AsH_3 ガスを流してのn形ドーピングもしくは B_2H_6 ガスを流してのp形ドーピングによって行っていた。かかるドーブドSi膜の抵抗率はp形で約 $10^3 \Omega \cdot \text{cm}$ 、n形で $10^2 \Omega \cdot \text{cm}$ と高く、高い直列抵抗のため素子性能が劣っていた。又、n形ドーピングの場合、プラズマパワーを増加するなどの方法でアモルファス相を微結晶化することも可能であるが、得られた抵抗率は約 $1 \Omega \cdot \text{cm}$ とあまり低くない。

〔発明の目的〕

本発明の目的は、かかる従来の問題点を解決し、低抵抗の導電型層を形成できる半導体装置の製造方法を提供することにある。

〔発明の概要〕

従来、半導体膜の低抵抗化を実現する方法として熱処理法がある。しかし、アモルファス膜の場合、通常の電気炉を用いる長時間熱処理法では、活性層であるノドープ層が変質し、デバイスが劣化してしまう。この点を解決するため、本発明では、熱処理時間が1秒以下のレーザを用いた短時間熱処理法を用いる。レーザとして、パルスレーザとCWレーザがあり、CWの場合走査速度を早くすれば実質的に短時間の熱処理が可能である。

かかるレーザとして次のものがある。パルスレーザとして、エキシマレーザ(波長157～351nm)、ルビーレーザ(694nm)、ネオジウムYAG(266, 532, 1064nm)、ガラスレーザ(531nm)やアレキサンドライトレーザ(700～818nm)などがある。CWレーザとして、Arイオンレーザ(257nm)やHeNeレーザ(633nm)などがある。今迄、アモルファスSiのレーザアニールとして、QスイッチのNd:YAGレーザ(1064nm)が用

nm)で出力も数十W迄の大出力で大口径のレーザが得られている。

本発明は、かかる短波長のレーザを用い、アモルファスSi相を含有する半導体膜の熱処理を行う。半導体膜として、B又はAsなどのp形不純物、P又はAsなどのn形不純物を含有するアモルファスSi:H膜、微結晶化Si:H膜、SiGe:H膜、SiN:H膜やSiC:H膜などがある。不純物を該Si膜中に含有させる工程として、プラズマCVDなどの膜形成中にガスから導入する方法とノドープ又は低濃度ドープ層中にイオン打込み法で導入する方法の2種類がある。

〔発明の実施例〕

以下、本発明の実施例を説明する。

実施例1

グロー放電を用いるプラズマCVD法により、 SiH_4 - B_2H_6 (又は、 PH_3)系ガスを用い、B又はPドープのアモルファスSi膜を形成した。その膜の抵抗率を第1表に示す。

いられた例は知られているが、アモルファスSi膜の吸収係数からして適切な波長では無く、従って良好なデバイス特性は得られていない。

アモルファスSi半導体装置で用いられる半導体膜の厚さは通常1 μm 以下であるので吸収係数として 10^4cm^{-1} 以上の値を持つレーザ波長を選択する必要がある。このためには、アモルファスSi膜の場合、750nmより短い波長のレーザ光を用いる必要がある。特に、上記各種レーザ光の中で、波長300nm以下のレーザ光を用いれば吸収係数は 10^6cm^{-1} となり光の吸収深さは約10nmで縦方向の上部半導体層のみ熱処理できるなどの利点を有する。これに適したレーザとして、エキシマレーザ、アルゴンイオンレーザとNd:YAGレーザ(波長=重型で266nm)がある。特に、エキシマレーザは励起ガスの種類を変えて、発振波長を変えることが可能である。例えば、 F_2 (157nm)、 ArF (193nm)、 KrCl (222nm)、 KrF (248nm)、 XeBr (282nm)、 XeCl (308nm)と XeF (351

第 1 表

試料 No.	導電型	抵抗率($\Omega\cdot\text{cm}$)
99-2	p	2.39×10^5
110-2	p	3.32×10^2
58-2	n	1.20×10^3
120-1	n	2.50

レーザとして、 KrF 系エキシマレーザ(波長248nm、パルス幅15ns)を用い、該アモルファスSi膜を照射した。第1図は、レーザ照射強度を変えて照射した後の抵抗率変化を示す。レーザパワー密度 $0.2\text{J}/\text{cm}^2$ 迄はスーパーリニアに抵抗率が減少し、その後直線的に減少している。得られた抵抗率は第1表の値に比べて極めて小さく、通常の高結晶膜と同程度の値となっている。特に、レーザパワー密度 $0.2\text{J}/\text{cm}^2$ 以上のアニール膜はX線回折によると結晶化していることが明らかになった。レーザパワー密度

0.2 J/cm² 以下でアニールした膜は、微結晶相を含む非晶質膜で、膜表面の形状は平滑であり、デバイス作製用として適している。

実施例 2

CW(連続発振)のアルゴンイオンレーザを用い、実施例1と同様な非晶質膜にレーザアニールを行った。

波長はADP光学結晶を用い第2高調波である257nmとし、走査速度1mm/秒で該ドーパ非晶質シリコン膜をアニールした。照射後の抵抗変化は第1図と同様であった。この方法では、ビーム走査により、均質に熱処理を行える特長がある。

実施例 3

グロー放電を用いるプラズマCVD法により、第2図に示したように、ガラス基板1上に、n形層2、i形層3およびp形層4を形成した。その後、波長193nmのArFエキシマレーザ7を照射した結果、照射前の抵抗率 $2.4 \times 10^5 \Omega \cdot \text{cm}$ が照射後 $3.1 \times 10 \Omega \cdot \text{cm}$ と抵抗率が低下した。

実施例 6

シリコン薄膜MOSFETの他の製造方法を第4図に示す。

ガラス基板1上にソースおよびドレイン電極21および22を形成後、プラズマCVD法によりSiO₂23およびn⁻形非晶質シリコン膜24を連続形成した。ゲート電極25を形成後、該ゲート電極をマスクとしてp⁺イオン8の打込みを行い、実施例1〜3と同様なレーザアニールを行った。このレーザアニールにより、低抵抗シリコン膜26を形成した。この方法で、MOSFETのセルフラインによる形成が可能となり、得られたFETのON/OFF比も向上した。

〔発明の効果〕

本発明によれば下記のことを実現できる。

- (1) 極めて低抵抗のn形およびp形層を作製できる。
- (2) セルラインが可能である。
- (3) 極く表面層のみアニールできる。
- (4) 低温プロセスである。

これにより、pin型ダイオードの直列抵抗が低下し、整流比が改善された。

実施例 4

実施例3においてp形層4として、炭素入りの非晶質シリコンカーバイド膜を用いた。レーザ照射前の抵抗率 $3 \times 10^7 \Omega \cdot \text{cm}$ が照射後 $3.0 \times 10^6 \Omega \cdot \text{cm}$ と抵抗率を低減することができた。

実施例 5

シリコン薄膜を用いたMOSFETの製造方法を第3図に示す。

ガラス基板1上にゲート電極(Mo, Crなど)11を形成後、プラズマCVD法によりSiO₂膜12およびn形非晶質シリコン膜13を形成した。ソースおよびドレイン電極14および15を蒸着し、ガラス基板1の下部からレーザ7の照射を行った。レーザ照射条件は実施例1〜3と同様で良い。このレーザ照射により、ゲート電極11上の非晶質シリコン膜は変化しないがソースおよびドレイン電極14と15の下部の非晶質シリコン膜は結晶質を含むシリコン膜16に変質した。

従って、本発明により、安価な大面積基板上に、秀れた性能を有する半導体薄膜装置を作製することができる。

図面の簡単な説明

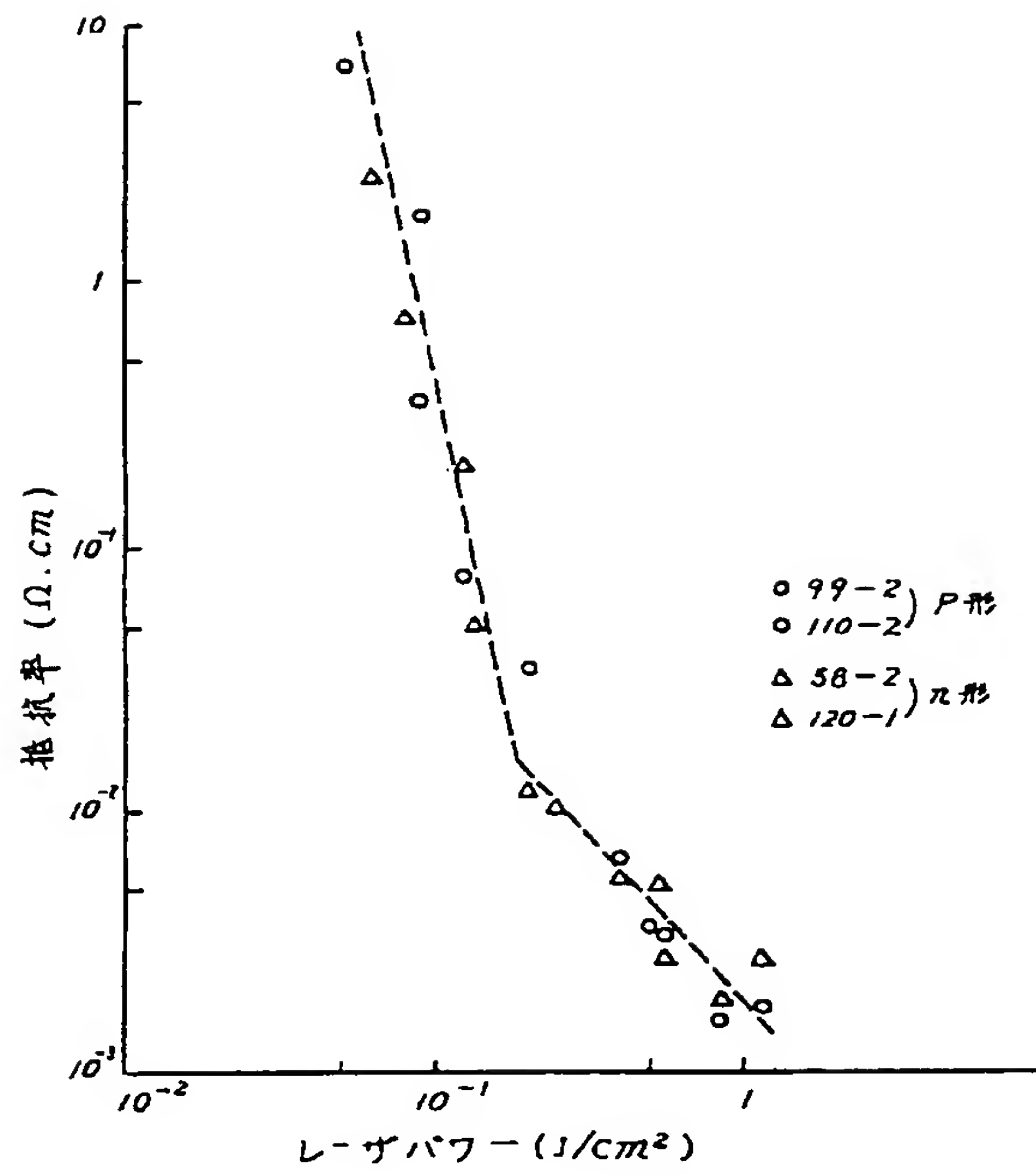
第1図は本発明の効果を説明するための図、第2図乃至第4図は、それぞれ本発明の異なる実施例を示す工程図である。

1…ガラス基板、2…n形層、3…i形層、4…p形層、7…レーザ光、8…イオン、11…ゲート電極、12…SiO₂膜、13…n形非晶質シリコン膜。

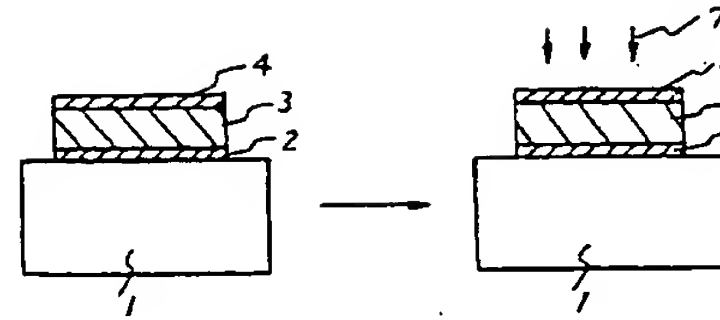
代理人 弁理士 高橋 明 夫



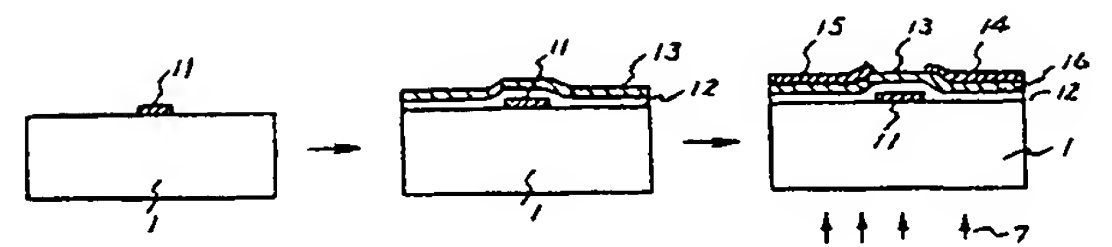
第 1 図



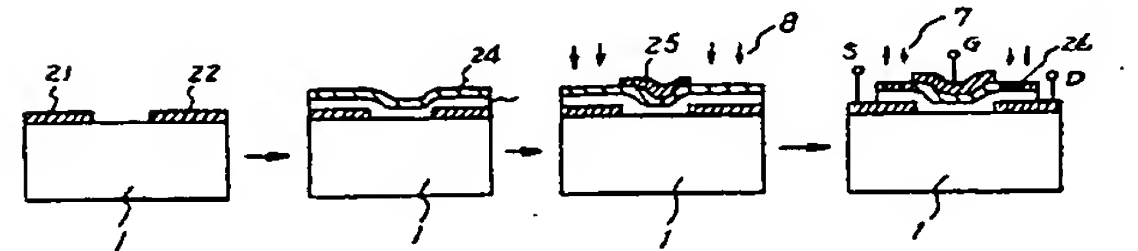
第 2 図



第 3 図



第 4 図



第1頁の続き

⑦発 明 者 中 谷 光 雄 横浜市戸塚区吉田町292番地 株式会社日立製作所生産技術研究所内